

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-349430

(43) 公開日 平成4年(1992)12月3日

(51) Int.Cl. <sup>4</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 2 F	1/136	5 0 0	9018-2K	
	1/133	5 5 0	7820-2K	
	1/1343		9018-2K	
H 0 1 L	27/12	A	8728-4M	
			9056-4M	
			H 0 1 L 29/ 78	3 1 1 A
審査請求 未請求 請求項の数1(全 7 頁) 最終頁に続く				

(21) 出願番号 特願平3-123328

(22) 出願日 平成3年(1991)5月28日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 渋谷 誠

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

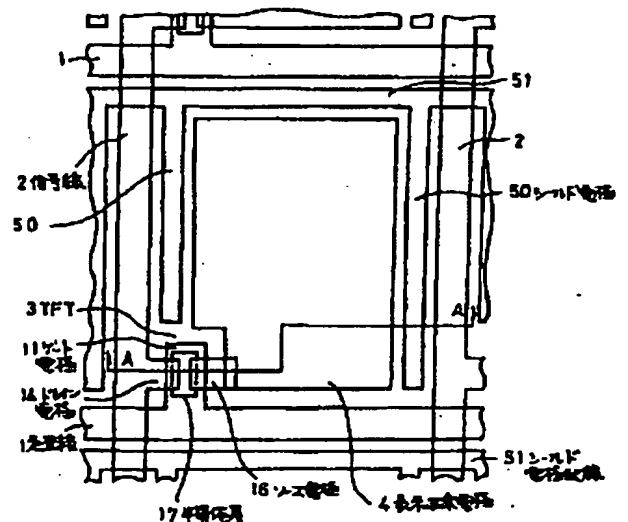
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【要約】

【構成】 複数の表示画素電極の各々に薄膜トランジスタをスイッチング素子として接続してなるアクティブマトリクス型液晶表示装置において、各々の表示画素電極の周辺部にシールド電極を埋め込む。

【効果】 信号線電位の変動によって引き起こされる表示画素電極電位の変動を大幅に低減させることができ、このことから表示画面の輝度傾斜やクロストークを解消し、良好な表示特性を得ることができる。



1

## 【特許請求の範囲】

【請求項1】 アレイ基板上にマトリクス状に配設された走査線と信号線との交点に形成された薄膜トランジスタと、この薄膜トランジスタに接続された表示画素電極とを備えたアクティブマトリクス型液晶表示装置において、前記表示画素電極周辺部に埋め込まれたシールド電極を有することを特徴とするアクティブマトリクス型液晶表示装置。

## 【発明の詳細な説明】

## 【発明の目的】

## 【0001】

【産業上の利用分野】 この発明は、薄膜トランジスタ（以下、TFTと称する）を用いて液晶を駆動してなるアクティブマトリクス型液晶表示装置に関する。

## 【0002】

【従来の技術】 近年、液晶を用いた表示装置においては、テレビ表示やグラフィック表示などを指向して、大容量で高密度のアクティブマトリクス型液晶表示装置の開発及び実用化が盛んである。この様な表示装置では、クロストークを低減させて高コントラストの表示が可能となるように、各画素に対応してスイッチ素子を配設し、画素の駆動が行われる。

【0003】 このスイッチ素子には、非線形抵抗素子や半導体スイッチが用いられるが、種々のスイッチの中でも透過型表示が可能であり、大面積化も容易であるなどの理由から、透明な絶縁性基板上に形成されたTFTが用いられている。

【0004】 従来のTFTを用いた液晶表示装置は、図7に示すように、アレイ基板上の複数の走査線101及び信号線102の交点にTFT103が配設されている。このTFT103のゲート電極111は走査線101に接続され、ソース電極116は表示画素電極104に接続されている。また、図示しないが、この表示画素電極104に対し、液晶層131を介して対向電極126が配設され、液晶表示装置が構成される。

【0005】 次に、この液晶表示装置の駆動方法について説明する。ゲート電極111に走査線選択電圧（以下、 $V_{s1}$ と称する）が印加されている期間（以下、書き込み期間と称する）に、表示画素電極104の電位が信号線電位と同電位に設定され、ゲート電極111に走査線非選択電圧（以下、 $V_{s2}$ と称する）が印加されている期間（以下、保持期間と称する）は、表示画素電極104はこの電位に保持される。

【0006】 一方、対向電極126は、所定の電位に設定されている。従って、液晶層131にはこの表示画素電極104と対向電極126との電位差に相当する電圧が印加される。この電圧を制御して、液晶層の光透過率を制御することにより、画像表示が行われる。

【0007】 また、液晶が直流駆動されると、液晶分子は電気分解により劣化し、寿命が短くなるため、一般に

2

液晶は交流駆動される。例えば、対向電極電位を定電位に設定し、この対向電極電位に対する信号線電位の極性をフレーム毎に正負反転することによって交流駆動を行うことができる。

## 【0008】

【発明が解決しようとする課題】 ところで、表示画素電極104と、隣接する信号線102との間には寄生容量 $C_{p1}$ が存在する。この $C_{p1}$ の存在から、保持期間に於ける表示画素電極電位は、信号線電位の変化にともなって変動する。この表示画素電極電位の変動（以下、 $\Delta V_{p1}$ と称する）は、

$$\Delta V_{p1} \sim \Delta V_s \cdot C_{p1} / (C_{11} + C_{p1} + C_{p2})$$

$\Delta V_s$  : 信号線電位の変化

$C_{11}$  : 表示画素電極と対向電極との間の液晶層の静電容量

で表される。この $\Delta V_{p1}$ だけ液晶層131に印加される電圧が変動し、本来の信号線電位に対応する光透過率を得ることができなくなる。この $\Delta V_{p1}$ の表示画面に対する影響は画面上部と下部とでは等しくないことが知られている。このため、画面上部と下部とでは印加される電圧に対する透過率特性が異なる、いわゆる輝度傾斜の問題を生じる。

【0009】 図7に従来の液晶表示装置の電圧-透過率特性を示す。この図を見ると明らかなように、画面上部と下部とでは透過率に大きな差が生じており、従って所望の画像表示を得ることができない。

【0010】 一方、走査信号電圧が $V_{s1}$ から $V_{s2}$ に切り替わる際、 $C_{p1}$ の存在から、表示画素電極電位はある量だけ負側にシフトする。このシフト量（以下、 $V_{p2}$ と称する）は、

$$\Delta V_{p2} \sim \Delta V_s \cdot C_{p1} / (C_{11} + C_{p1} + C_{p2})$$

$$(\Delta V_{p2} = V_{s1} - V_{s2})$$

で表される。液晶層は交流駆動されているために、印加電圧は正負で非対称となり、フレーム毎にフリッカが生じる原因となる。

【0011】 上記の問題を解決するために、従来の液晶表示装置では表示画素電極下の一部にゲート絶縁膜を介してストレージキャパシタを設けていたが、 $\Delta V_{p1}$ を十分に低減させることはできず、このために生じる輝度傾斜は、高精細な画像表示実現に対する大きな障害となった。また、ゲート絶縁膜のピンホール欠陥による表示画素電極とストレージキャパシタとのショートが発生するという問題や、さらには表示画素電極のストレージキャパシタ上の部分とその他の部分とで段差が生じ、均一な表示画面を得られないという問題が生じた。

【0012】 本発明は上記の技術的背景を考慮し、信号線電位の変動によって生じる表示画面への影響を低減し、液晶表示装置の表示特性を向上させることを目的とする。

## 【発明の構成】

## 【0013】

【課題を解決するための手段】本発明では、上記の課題を解決するために、マトリクス状に配設された走査線と信号線との交点に形成された薄膜トランジスタと、この薄膜トランジスタに接続された表示画素電極とを備えたアクティブマトリクス型液晶表示装置において、前記表示画素電極-前記信号線間に埋め込まれたシールド電極を有するアクティブマトリクス型液晶表示装置を用いる。

## 【0014】

【作用】発明者らは上記の課題に対して鋭意検討した結果、表示画素電極-信号線間にシールド電極を埋め込むことにより、 $C_{01}$ を大幅に低減させることができることを見出だした。以下に、その理由を図面を参照して説明する。図8は、液晶表示装置内に分布する電気力線を模式的に示す。

【0015】表示画素電極104-信号線102間に生じる電気力線は、信号線電圧の変動によって変化する。この表示画素電極104-信号線102間の電気力線は、図に示すように対向電極130側においては、ある程度対向電極130によって遮蔽される。一方、アレイ基板120側の電気力線については、従来の液晶表示装置は、これを遮蔽する手段を有しないために、主にこのアレイ基板120側の電気力線の作用から、表示画面に悪影響が生じることが分かった。

【0016】本発明のアクティブマトリクス型液晶表示装置においては、表示画素電極-信号線間にシールド電極を埋め込むことにより、対向電極側の電気力線のみならず上述したアレイ基板側の電気力線をも遮蔽できるため、 $C_{01}$ を大幅に低減させることができる。

【0017】また、シールド電極と表示画素電極とは重ならないために、シールド電極と表示画素電極とのショートが起こることを防ぐことができ、さらに、表示画素電極に生じる段差を解消できる。

## 【0018】

## 【実施例】

（実施例1）本実施例においては、表示画素電極-信号線間のゲート絶縁膜中にシールド電極を埋め込むことにより、 $C_{01}$ を大幅に低減させることができた。以下、図面を参照して本実施例を詳細に説明する。図1は本実施例の液晶表示装置のアレイ基板上の一画素の部分平面図を示す。図2は図1の線AA'に沿った断面図を示す。

【0019】図1に示すように、複数の走査線1及び信号線2は、それぞれ行方向と列方向に配設されている。TFT3は、これらの交点にマトリクス状に形成され、走査線1と一体のゲート電極11、信号線2と一体のドレイン電極14、表示画素電極4に接続されたソース電極16、及び半導体層17から構成されている。

【0020】さらに本発明に係る電極（以下、シールド電極50とよぶ）が、表示画素電極4と信号線2との間

隙のゲート絶縁膜中に埋め込まれている。このシールド電極50はシールド電極配線51に接続され、図示しない外部端子より電位規定が行える構成となっている。このため、シールド電極に印加される電位を独立に保持することができる。次に図2を用いて、本実施例の液晶表示装置の製造方法の一例を示す。

【0021】ガラスなどからなる絶縁性基板20の一主面には、例えば遮光性材料であるCr膜をスパッタ法で積層した後、所定の形状にフォトリソエッチングすることによりゲート電極21、シールド電極50、及び図示しない走査線を形成する。そしてこれらを覆うように例えば酸化シリコン（ $SiO_2$ ）からなるゲート絶縁膜21をプラズマCVD法を用いて形成する。

【0022】さらにゲート電極11に対向して、ゲート絶縁膜21上には、例えば1型の水素化アモルファスシリコン（以下、 $a-Si:H$ と称する）からなる半導体層17を、プラズマCVD法により形成する。さらにこの半導体層17上に低抵抗半導体層22として、例えばn型 $a-Si:H$ を同じくプラズマCVD法を用いて形成し、フォトリソエッチングを用いて所定の形状に加工する。その後ITOをスパッタ法を用いて積層し、フォトリソエッチングを用いて所定の形状に加工し、表示画素電極4を形成する。そして、例えばMo及びAlをスパッタ法により積層し、フォトリソエッチングを用いて信号線と一体のドレイン電極14及びソース電極16を形成する。この後、ソース-ドレイン間の低抵抗半導体層22を除去し、必要に応じて無機保護膜などを形成し、アレイ基板24が得られる。

【0023】一方、例えばガラスからなる別の絶縁性基板25上には、例えばAlからなる遮光層27及び例えばITOからなる対向電極26を順次形成することにより、対向基板28を形成する。

【0024】そして、アレイ基板上24には、全面に例えば低温キュア型のポリイミドからなる配向膜29を形成する。対向基板28上にも同様に配向膜30を形成し、これらの配向膜にラビング処理を施し、所定の方向に配向処理を施す。さらにアレイ基板24と対向基板28は、所定の間隔をもって上記の工程が施された一主面側が対向し、かつ互いの配向軸が概略90度を成すように組み合わせられ、この間隙に液晶を封入する。これらの基板の外側には、それぞれ偏光板33を形成し、本実施例の液晶表示装置が得られる。図3は、本発明の液晶表示装置の特性図を示す。

【0025】本発明の液晶表示装置においては、画面上部と画面下部の光透過率はほぼ一致しており、画面上下方向の輝度傾斜はほとんど認められなかった。この理由は、アレイ基板24側の電気力線が遮蔽されるために、 $C_{01}$ が従来のアクティブマトリクス型液晶表示装置に比較して1/10程度に低減されることから、 $\Delta V_{01}$ による表示画素電極電位への影響を、表示画面全域にわたっ

て抑えることができるためであると考えられる。

【0026】また、シールド電極と表示画素電極とは重ならないために、これらの電極間のショートを防ぐことができ、さらに表示画素電極の段差を解消することができることから、画面全体にわたって均一な画像表示が可能である。

(実施例2)

【0027】以下に、本発明の別の実施例を説明する。図4は、本実施例のアクティブマトリクス型液晶表示装置の部分平面図を示す。また、図5は図4の線B-Bに沿った断面図を示す。

【0028】図4に示すように、複数の走査線1及び信号線2が、それぞれ行方向と列方向に配設され、その交点にTFT3が配設される。各々のTFT3には表示画素電極4が接続され、各画素が構成される。さらに図5に示すように、シールド電極50をゲート絶縁膜21を介して信号線2下に形成する。

【0029】上記の構成においては、実施例1と同様の効果が得られ、さらに蓄積容量電極50を信号線2下に形成することによって、有効画素面積を拡張することができる。開口率を向上させることができる。また、信号線2とシールド電極50との絶縁性向上のために信号線2とシールド電極50との間に図6に示すような層間絶縁膜33を形成しても良い。この層間絶縁膜33を形成する方法としては、TFT3形成と同時に半導体層をシールド電極50上に形成する方法やシールド電極50の上部を陽極酸化する方法などが製造工程の簡略化の点から有利である。また、一方でこの部分は有効画素領域外にあるため、層間絶縁膜33として、絶縁性の良好な物質をその透過率にかかわらず任意に選択することもできる。上述したような層間絶縁膜33を用いることによって、信号線2とシールド電極50との間の短絡を解消することができる。なお、本発明においては、シールド電極をゲート絶縁膜中に埋め込んだが、例えばシールド電極をアレイ基板中に埋め込むことにより同様の効果が得られる。

【0030】

【発明の効果】この発明のアクティブマトリクス型液晶表示装置は、表示画素電極-信号線間にシールド電極を埋め込むことを特徴とする。このシールド電極を用いることによって、C<sub>st</sub>を従来の蓄積容量を備えたアクティブマトリクス型液晶表示装置に比較して1/10程度に低減できる。従って、保持期間に信号線電位の変化によって生じる表示画素電極電位の変動を解消することができる。このことから表示画面の縦方向クロストークや上下方向の輝度傾斜を低減し、表示品位を向上させることができる。

【0031】さらに、シールド電極と表示画素電極は重ならないために、シールド電極と表示画素電極との短絡を防ぎ、かつ表示画素電極を平坦化できることから、画面全体に均一な表示特性を得ることができる。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス型液晶表示装置の一実施例を示す平面図である。

【図2】図1の線A-Aに沿った断面図である。

【図3】本発明のアクティブマトリクス型液晶表示装置の特性図である。

【図4】本発明のアクティブマトリクス型液晶表示装置の別の実施例を示す平面図である。

【図5】図4の線B-Bに沿った断面図である。

【図6】従来の液晶表示装置を示す平面図である。

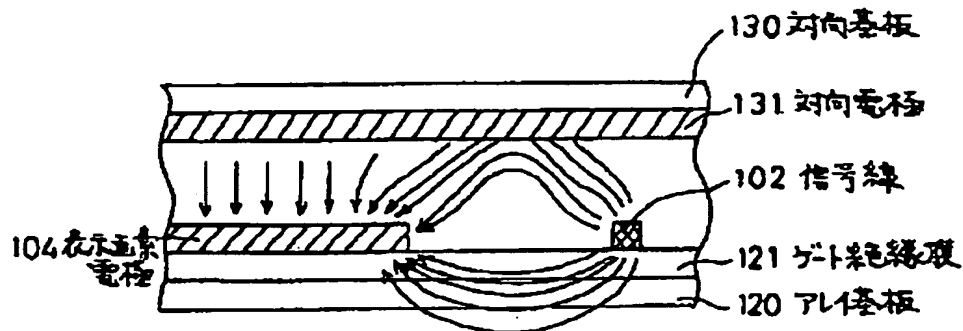
【図7】従来の液晶表示装置の特性図である。

【図8】従来の液晶表示装置を模式的に表す断面図である。

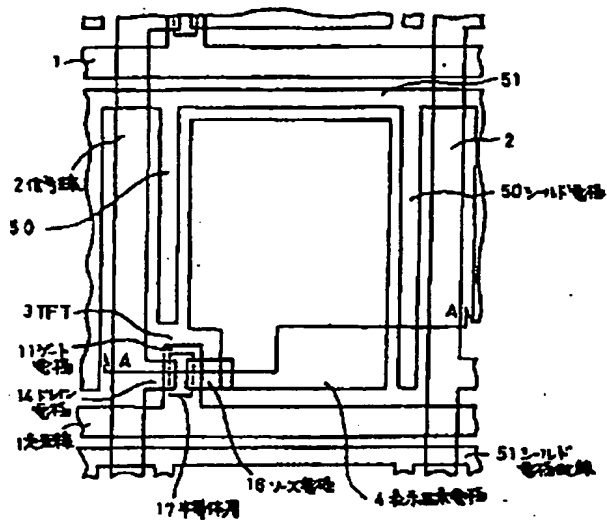
【符号の説明】

- 1…走査線
- 2…信号線
- 3…TFT
- 4…表示画素電極
- 33…層間絶縁膜
- 50…シールド電極
- 51…シールド電極配線

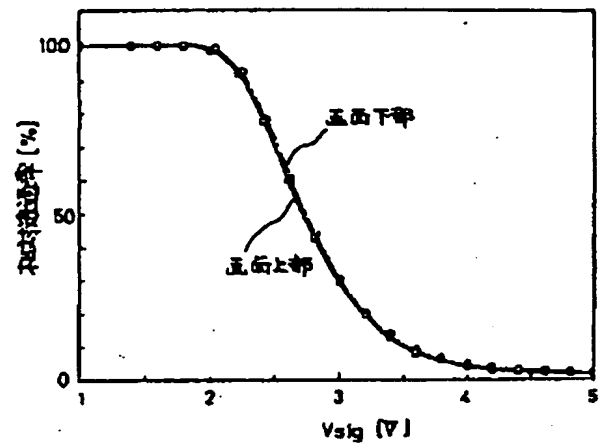
【図8】



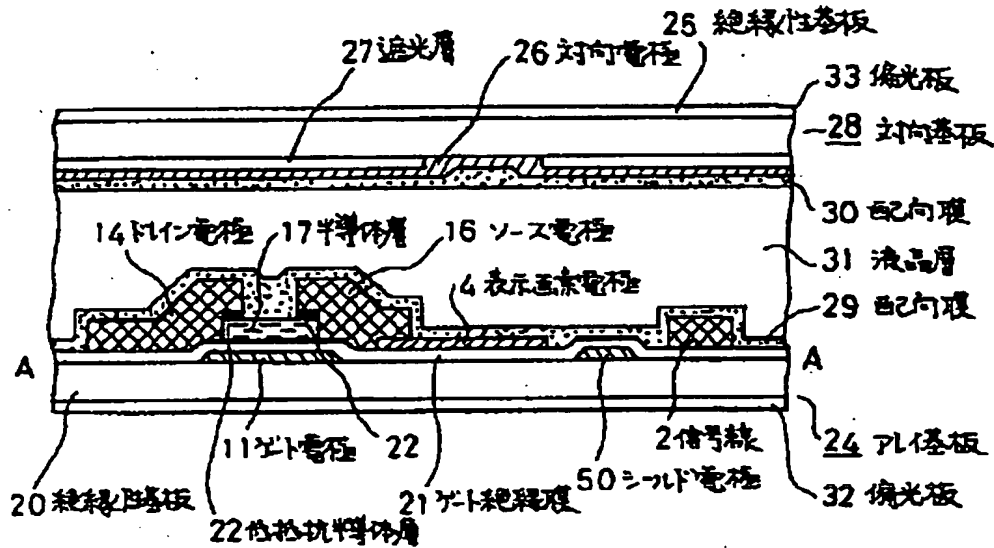
【図1】



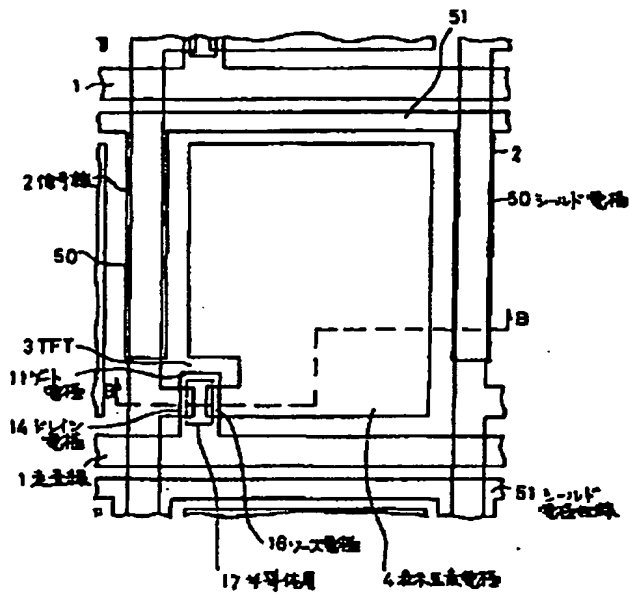
【図3】



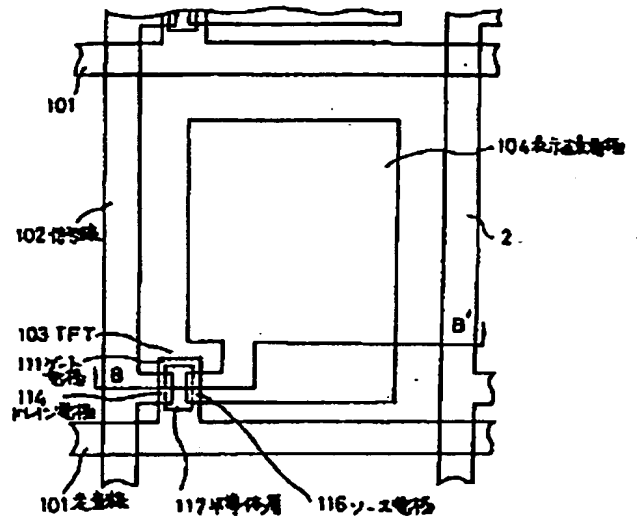
【図2】



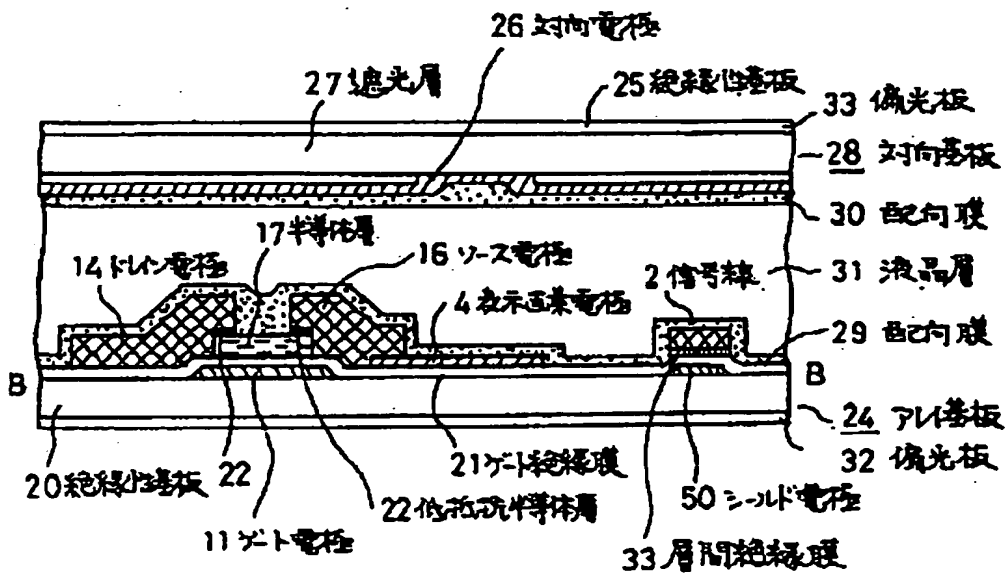
【図4】



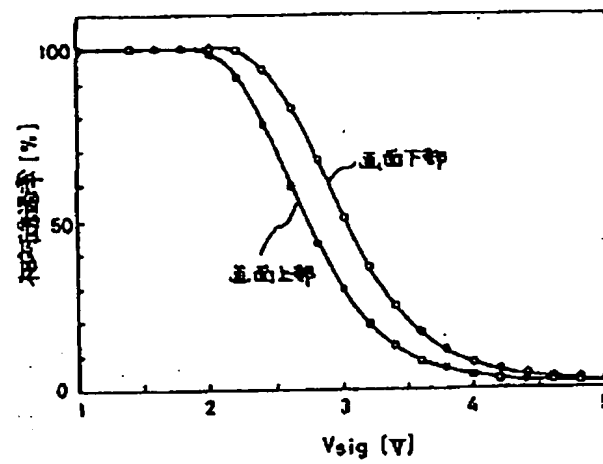
【図6】



【図5】



【図7】



フロントページの続き

(51) Int. Cl. 5

H 0 1 L 29/784

識別記号

庁内整理番号

F I

技術表示箇所